

Fernmeldeschule der OPD Nürnberg	Elektronik Teil 2	Stoffgebiet: 3.2.
Zusammengestellt: Günther Stelzer		Nach Unterlagen von Texas Instruments

Hinweise für Anwender von Integrierten Digital-Schaltungen in TTL

Spannungsversorgung

Versorgungsspannungstoleranz inklusive Brummspannung

$\leq \pm 5 \%$ für die Serien SN 74XXXN, SN84XXXN, SN49XXXN, SN 498XXXN

$\leq \pm 10 \%$ für die Serie SN54XXXN

Entkopplung

Pro 5 bis 10 Gehäuse soll die Spannungsversorgung mit einem HF-Kondensator von einer Kapazität zwischen 0,01 bis 0,1 μF abgeblockt werden. Diese Kondensatoren können weitgehend entfallen, wenn die Erdleitung als ground-plane ausgelegt ist.

Erdleitung

Es ist dafür zu sorgen, daß die Erdleitung möglichst niederohmig ausgelegt wird.

Gatter

Anstieg- und Abfallzeiten von Eingangssignalen

Diese Zeiten sollen kleiner 1 μs sein, um die Gefahr des Schwingens der Gatterausgänge beim Durchgang durch den Triggerpunkt zu vermeiden.

Impulsbreite

Größer 29 μs

Unbenutzte Dateneingänge von AND- und NAND-Gattern

- Wenn sichergestellt ist, daß die Versorgungsspannung U_{CC} immer $\leq 5,5 \text{ V}$ gehalten wird, können unbenutzte Dateneingänge direkt an $+ U_{CC}$ angeschlossen werden.
- Kann dies nicht sichergestellt werden, so müssen diese Eingänge über einen Widerstand $\leq 1 \text{ k}\Omega$ an $+ U_{CC}$ angeschlossen werden. Hierbei können mehrere Eingänge an denselben Widerstand angeschlossen werden.
- Die unbenutzten Eingänge können mit einem benutzten Eingang desselben Gatters verbunden werden, wenn dadurch max. log. 1 fan-out der treibenden Schaltung nicht überschritten wird.
- Die unbenutzten Eingänge können an den Ausgang eines unbenutzten Gatters, dessen Eingang auf log. 0 liegt, angeschlossen werden.

Unbenutzte Eingänge von NOR-Gattern

- a. Die unbenutzten Eingänge können mit einem benutzten Eingang desselben Gatters verbunden werden, wenn dadurch das max. log. 1 fan-out der treibenden Schaltung nicht überschritten wird.
- b. Die unbenutzten Eingänge an GND legen.

Unbenutzte Gatter

Die Eingänge der unbenutzten Gatter an GND legen; dadurch wird die geringste Leistungsaufnahme erreicht.

Fan-out-Erhöhung von Gatter- und Bufferbausteinen

Hierfür dürfen maximal 2 Gatter (deren Aus- und Eingänge) parallel geschaltet werden.

Expander

Es ist zu beachten, daß der Expander möglichst nahe am zu erweiternden Gatter eingebaut wird, damit durch Leitungskapazitäten die Schaltzeiten nicht wesentlich verändert werden.

Flip-Flops

Preset und Clear

Wird während eines anstehenden Taktpulses (CLOCK auf log. 1) das Flip-Flop asynchron gesetzt oder rückgestellt (PRESET oder CLEAR auf log. 0), so muß PRESET oder CLEAR solange auf log. 0 gehalten werden, bis der Taktpuls auf log. 0 geht.

Nicht benutzte Preset- und Clear-Eingänge müssen auf log. 1 bezogen werden.

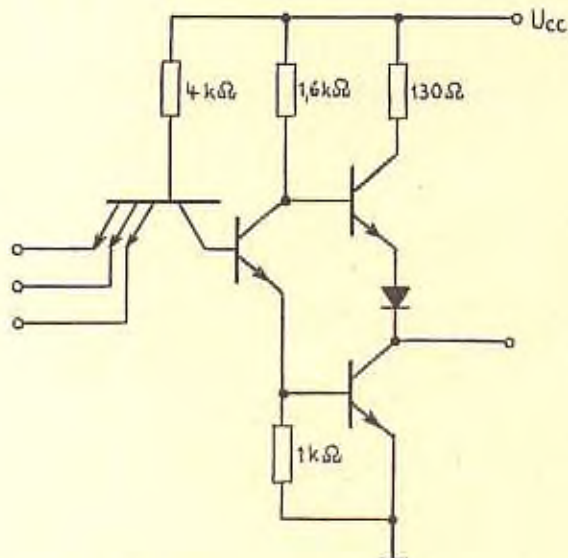
Taktimpuls

- a. Flankengetriggerte Flip-Flops
Anstiegs- und Abfallzeiten sollen kürzer 250 ns sein.
- b. Master-Slave-Flip-Flops
Anstiegs- und Abfallzeiten sollen kürzer 500 ns sein.
- c. Schieberegister und Zähler aufgebaut mit D-Flip-Flops
Taktanstiegszeit max. 25 ns.

Eingangsdaten

Im allgemeinen dürfen die Eingangsdaten bei JK-Master-Slave Flip-Flops, während der Taktimpuls auf log. 1 ist, nicht verändert werden. Eventuelle Ausnahmen sind dem Datenbuch zu entnehmen.

Standard Typen



typische Leistungsaufnahme
pro Gatter 10 mW

typische Durchlaufverzögerung
pro Gatter 10 ns

Erklärung des Eingangslastfaktors (fan-in)

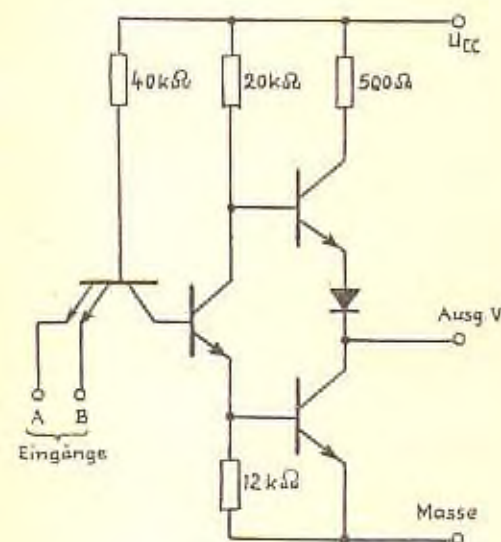
Bei TTL-Gattern fließen im log. 1-Zustand sowie im log. 0-Zustand Eingangsströme. Diese Ströme liegen pro Gatter für den log. 0-Eingangszustand ($= + 0,4 \text{ V}$) bei max. $- 1,6 \text{ mA}$ und für den log. 1-Eingangszustand ($= + 2,4 \text{ V}$) bei max. $40 \mu\text{A}$. Diese Werte sind gleichbedeutend mit einer Eingangslast bzw. fan-in von 1 und gelten über den vollen Arbeitstemperaturbereich.

Erklärung des Ausgangslastfaktors (fan-out)

Unter dem Ausgangslastfaktor (fan-out) versteht man den Faktor, welcher angibt, wie oft ein IC-Ausgang den Eingangsstrom eines Gattereingangs übernehmen kann. Dabei kann unterschieden werden zwischen dem log. 0-Ausgangslastfaktor und dem log. 1-Ausgangslastfaktor. Wird im Datenblatt nicht ausdrücklich diesbezüglich unterschieden, dann ist für beide Logikzustände der fan-out identisch.

(Z.B. $N = 10$ für Standardgatter wie SN7400N und $N = 30$ für Leistungsgatter wie SN7440N).

Low-Power-Typen



typische Leistungsaufnahme pro Gatter 1 mW

typische Durchlaufverzögerung pro Gatter
33 ns

typisches "Speed-Power" - Produkt 33 pWs

Erklärung des Eingangslastfaktors (fan-in)

Bei TTL-Low-Power-Gattern fließen in log. 1 sowie in log. 0-Zustand Eingangsströme. Diese Ströme liegen pro Gattereingang für den log. 0-Eingangszustand (+ 0,3 V) bei max. - 180 μ A und für den log. 1-Eingangszustand (+ 2,4 V) bei max. 10 μ A. Diese Werte sind gleichbedeutend mit einer Eingangslast bzw. fan-in von 0,25 und gelten über den vollen Temperaturbereich.

Erklärung des Ausgangslastfaktors (fan-out)

Unter dem Ausgangslastfaktor (fan-out) versteht man den Faktor, der angibt, wie oft ein IC-Ausgang den Eingangsstrom eines Gattereingangs übernehmen kann. Dabei muß unterschieden werden, ob der TTL-Low-Power-Ausgang mit Low-Power- oder Standard-Gattereingängen belastet wird. Deshalb sind in den Datenblättern zwei Angaben über den Ausgangslastfaktor enthalten.

(Z.B. fan-out 1,25 für Belastung mit Standard-Gattern, 2,5 für Belastung mit Low-Power-Gattern.)

Das bedeutet, daß ein Ausgang mit 10 Low-Power-Gattern oder mit einem Standard-Gatter und 2 Low-Power-Gattern belastet werden kann.

Erklärung der Worst-Case-Testwerte

Neben den Angaben der typischen Kennwerte garantiert Texas Instruments in den Datenblätter sogenannte Worst-Case-Werte. Diese Worst-Case-Werte sind Parameter, die unter den ungünstigsten Einsatzbedingungen gültig sind.

Worst-Case-Temperatur

Damit ist ausgesagt, daß die spezifizierten minimalen und maximalen Kennwerte über den gesamten Temperaturbereich gültig sind:

bei SN54N von -55°C bis $+125^{\circ}\text{C}$
bei SN74N von 0°C bis $+70^{\circ}\text{C}$
bei SN84N von -25°C bis $+85^{\circ}\text{C}$

Worst-Case-Belastung

Kennwerte haben über den gesamten spezifizierten Belastungsbereich (im allgemeinen für fan-out von 1 bis 10) Gültigkeit.

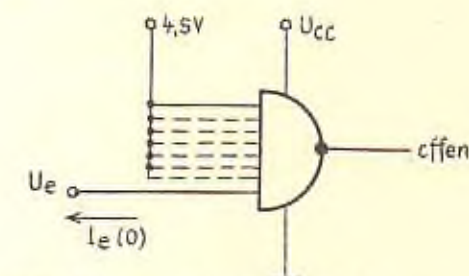
Worst-Case-Versorgungsspannung

Dies besagt, daß die Kennwerte über den gesamten Versorgungsspannungstoleranzbereich gelten:

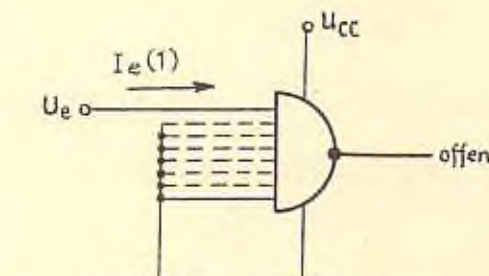
bei SN54N von 4,5 V bis 5,5 V
bei SN74N von 4,75 V bis 5,25 V
bei SN84N von 4,75 V bis 5,25 V

Worst-Case-Eingangsspannungen

Damit wird ausgesagt, daß beim Anlegen einer Eingangsspannung $\leq 0,8\text{ V}$ noch ein log. 0-Eingangszustand und beim Anlegen einer Eingangsspannung $\geq 2,0\text{ V}$ noch ein log. 1-Eingangszustand erkannt wird. Benachbarte Eingänge werden ebenfalls auf den ungünstigsten Pegel für den zu messenden Eingang gelegt, d.h. bei $I_{e(0)}$ -Messungen an $U_e = 4,5\text{ V}$ und bei $I_{e(1)}$ -Messungen an $U_e = 0\text{ V}$ (siehe folgende Testbilder, die den Datenblättern entnommen sind).



Jeder Eingang wird getrennt getestet

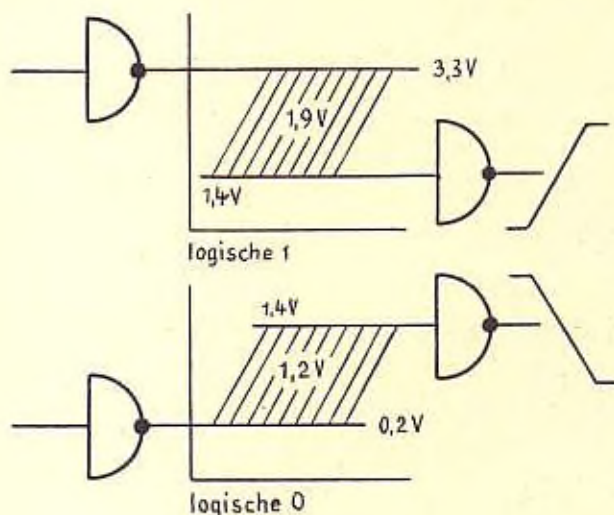


Jeder Eingang wird getrennt getestet

Worst-Case-Störabstand

Betrachtet man zwei in Reihe geschaltete Gatter der Serie SN74N, so beträgt der typische Störabstand 1,9 V für den log. 1-Zustand und 1,2 V für den log. 0-Zustand. Diese Werte ergeben sich aus dem typischen log. 0-Pegel von 0,2 V und dem typischen Triggerpegel von 1,4 V.

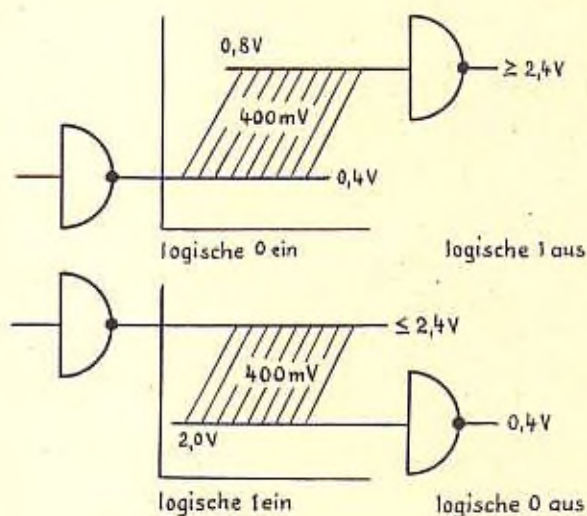
Das folgende Bild verdeutlicht die Verhältnisse.

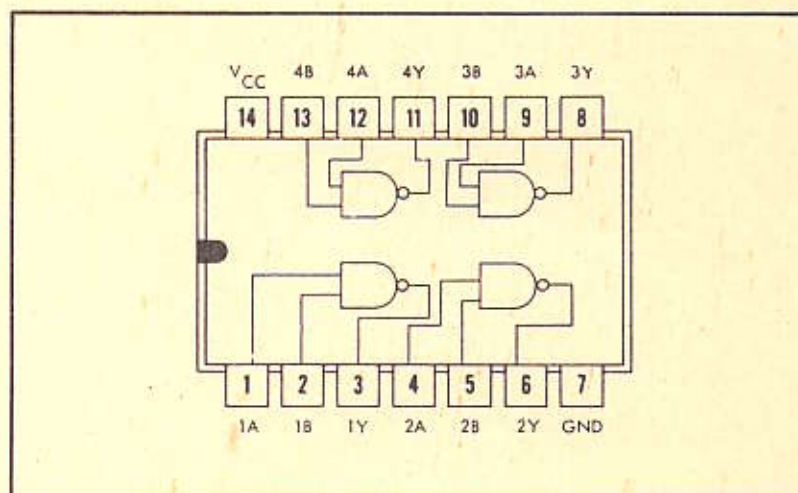


Die erwähnten typischen Störabstände sind jedoch nicht zu verwechseln mit den für den ungünstigsten Fall garantierten Worst-Case-Störabständen.

Die Worst-Case-Störabstände ergeben sich aus den garantierten Pegeln im Worst-Case-Betrieb. Aus untenstehendem Bild geht hervor, daß sich für den log. 0-Zustand und log. 1-Zustand jeweils ein Wert von 0,4 V ergibt.

Die für die Berechnung des Worst-Case-Störabstandes verwendeten Werte werden wie auch alle übrigen minimalen und maximalen Werte beim Endtest 100-prozentig gemessen.

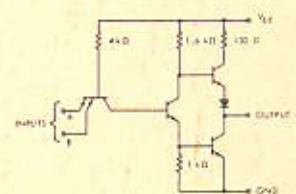




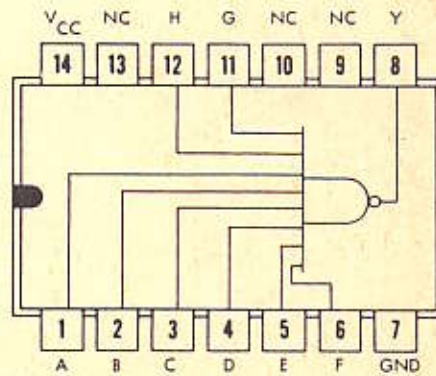
positive logic: $Y = \overline{AB}$

- TTL - Ein- und Ausgänge
- Typ. Durchlaufverzögerung 10 ns
- Typ. Leistungsaufnahme 40 mW

schematic (each gate)



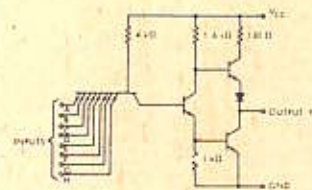
LAST- FAKTOREN	MESSPUNKT	ZUSTAND	EINGANG	AUSGANG
	Eingänge		1.0	
	Ausgänge			10.0
SN 5400 N, SN 7400 N, SN 8400 N		Vierfaches NAND-Gatter mit je zwei Eingängen		



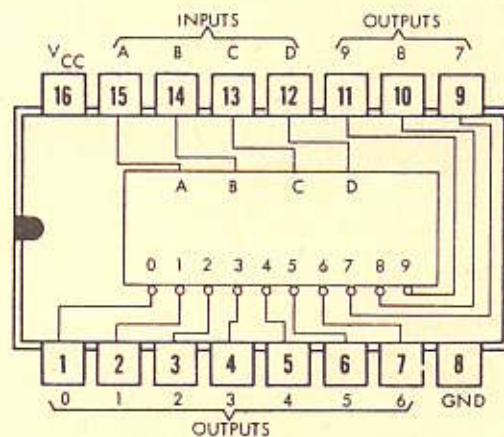
positive logic: $Y = \overline{ABCDEFGH}$

- TTL - Ein- und Ausgänge
- Typ. Durchlaufverzögerung 10 ns
- Typ. Leistungsaufnahme 10 mW

schematic

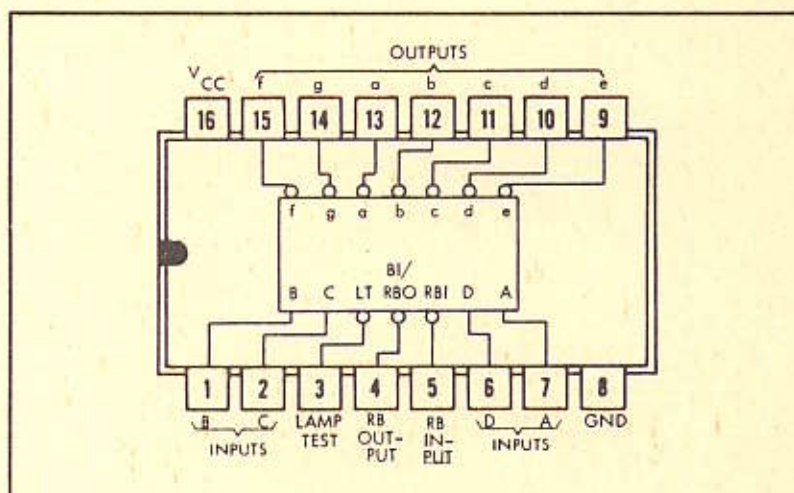


LAST- FAKTOREN	MESSPUNKT	ZUSTAND	EINGANG	AUSGANG
	Eingänge		1.0	
	Ausgänge			10.0
SN 5430 N, SN 7430 N, SN 8430 N		NAND-Gatter mit 8 Eingängen		



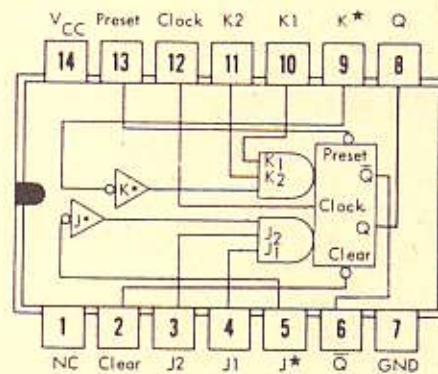
- TTL - Ein- und Ausgänge
- Stiftbelegung gleich mit den Typen SN7445/145N
- Typ. Durchlaufverzögerung 22 ns
- Typ. Leistungsaufnahme 140 mW
- Eingangs-Kapddioden

LAST- FAKTOREN	MESSPUNKT	ZUSTAND	EINGANG	AUSGANG
	Eingänge		1.0	
	Ausgänge			10.0
SN 5442 N, SN 7442 N, SN 8442 N		BCD-zu-Dezimal-Dekoder		



- TTL - Eingänge
- Eintakt-Ausgänge
- Max. zulässige Ausgangsspannung $U_{sperr} = 15 \text{ V}$ bei $I_{sperr} = 250 \mu\text{A}$
- Max. zulässiger Ausgangsstrom im log. 0 - Zustand 20 mA bei $U_{out} \leq 0,4 \text{ V}$
- Typ. Leistungsaufnahme 265 mW
- Stiftbelegung wie beim SN7446N
- Lampentest-Eingang
- Anzeigehelligkeits-Steuerung
- Eingangs-Kapddioden

LAST- FAKTOREN	MESSPUNKT	ZUSTAND	EINGANG	AUSGANG
	BI/RBO		2.6	
	Alle anderen Eingänge		1.0	
	BI/RBO			5.0
	Alle anderen Ausgänge			12.5
SN 5447 N, SN 7447 N, SN 8447 N		BCD-zu-7 Segment-Dekoder/Treiber (15 V, 20 mA) mit log. 0 an den aktivierten Ausgängen		



positive logic: Low input to preset sets Q to logical 1
 Low input to clear sets Q to logical 0
 Preset or clear function can occur only when clock input is low

- TTL - Ein- und Ausgänge
- Max. Taktfrequenz 35 MHz
- Min. Taktimpulsbreite 20 ns
- Typ. Durchlaufverzögerung 22 ns
- Typ. Leistungsaufnahme 65 mW
- Positiv flankengetriggert
- Min. positive Taktanstiegszeit 5 ns
- Max. positive Taktanstiegszeit 150 ns

TRUTH TABLE		
	t_n	t_{n+1}
J	K	Q
0	0	Q_n
0	1	0
1	0	1
1	1	$\bar{Q}_n$

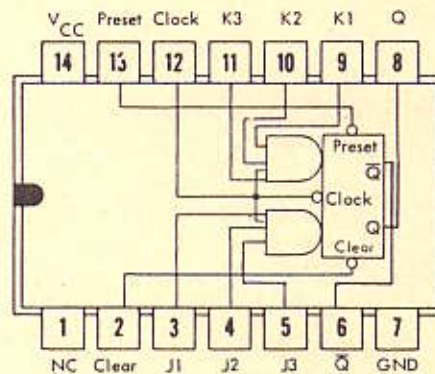
NOTES: 1. $J = J_1 \cdot J_2 \cdot J^*$
 2. $K = K_1 \cdot K_2 \cdot K^*$
 3. t_n = Bit time before clock pulse.
 4. t_{n+1} = Bit time after clock pulse.
 5. If inputs J^* or K^* are not used they must be grounded.
 6. NC - No Internal Connection

LAST-
FAKTOREN

MESSPUNKT	ZUSTAND	EINGANG	AUSGANG
Preset und clear		2.0	
Alle anderen Eingänge		1.0	
Ausgänge			10.0

SN 5470 N, SN 7470 N,
SN 8470 N

J-K Flip-Flop, pos. flankengetriggert



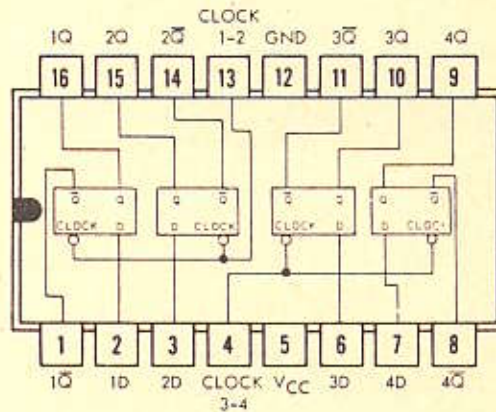
positive logic: Low input to preset sets Q to logical 1
 Low input to clear sets Q to logical 0
 Preset and clear are independent of clock

- TTL - Ein- und Ausgänge
- Max. Taktfrequenz 15 MHz
- Min. Taktimpulsbreite 20 ns
- Typ. Durchlaufverzögerung 30 ns
- Typ. Leistungsaufnahme 40 mW

TRUTH TABLE		
t_n		t_{n+1}
J	K	Q
0	0	Q_n
0	1	0
1	0	1
1	1	$\bar{Q}_n$

NOTES: 1. $J = J1 \cdot J2 \cdot J3$
 2. $K = K1 \cdot K2 \cdot K3$
 3. t_n = Bit time before clock pulse
 4. t_{n+1} = Bit time after clock pulse
 5. NC = No internal connection

LAST- FAKTOREN	MESSPUNKT	ZUSTAND	EINGANG	AUSGANG
	$J1/J2/J3/K1/K2/K3$		1.0	
	Clock Input		2.0	
	Preset oder clear		2.0	
	Q over $\bar{Q}$	1		10.0
SN 5472 N, SN 7472 N, SN 8472 N		J-K-Master-Slave Flip-Flop		



- TTL - Ein- und Ausgänge
- Typ. Durchlaufverzögerung 30 ns
- Typ. Leistungsaufnahme 160 mW

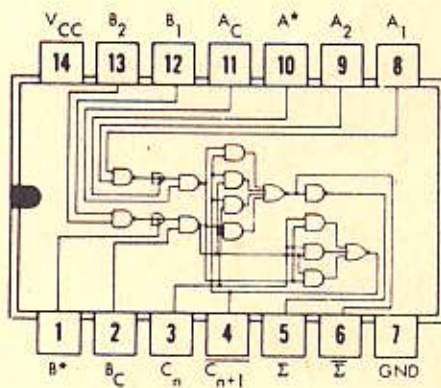
TRUTH TABLE (Each Latch)	
t_n	t_{n+1}
D	Q
1	1
0	0

NOTES: 1. t_n = Bit time before clock pulse transition
 2. t_{n+1} = Bit time after clock pulse transition
 3. NC – No internal connection

LAST- FAKTOREN	MESSPUNKT	ZUSTAND	EINGANG	AUSGANG
	Daten Eingänge		2,0	
	Clock Eingänge		4,0	
	Ausgänge			10,0

SN 5475 N, SN 7475 N,
SN 8475 N

Vierfaches Speicher Flip-Flop



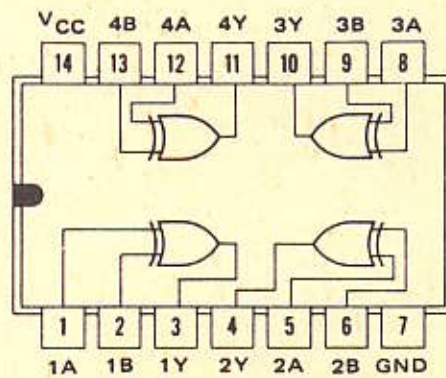
- NOTES: 1. $A = A^* \cdot A_C$, $B = B^* \cdot B_C$ where $A^* = \overline{A_1 \cdot A_2}$, $B^* = \overline{B_1 \cdot B_2}$
 2. When A^* or B^* are used as inputs, A_1 and A_2 or B_1 and B_2 respectively must be connected to GND.
 3. When A_1 and A_2 or B_1 and B_2 are used as inputs, A^* or B^* respectively must be open or used to perform Dot-OR logic.

TRUTH TABLE
(See Notes 1, 2, and 3)

C_n	B	A	$\overline{C_{n+1}}$	Σ	$\overline{\Sigma}$
0	0	0	1	1	0
0	0	1	1	0	1
0	1	0	1	0	1
0	1	1	0	1	0
1	0	0	1	0	1
1	0	1	0	1	0
1	1	0	0	1	0
1	1	1	0	0	1

- DTL - Eingänge
- TTL - Ausgänge
- Typ. Addierverzögerung 50 ns
- Typ. Übertragsverzögerung 8 ns
- Typ. Leistungsaufnahme 105 mW

LAST- FAKTOREN	MESSPUNKT	ZUSTAND	EINGANG	AUSGANG
	$A_1, A_2, A_C, B_1, B_2, B_C$		1.0	
	A^* und B^* Eingänge		1.65	
	C_n Eingänge		5.0	
	Σ und $\overline{\Sigma}$ Ausgänge			10.0
	C_{n+1} Ausgänge			5.0
	A^* und B^* Ausgang			3.0
SN 5480 N, SN 7480 N, SN 8480 N		1-Bit-Volladdierer		



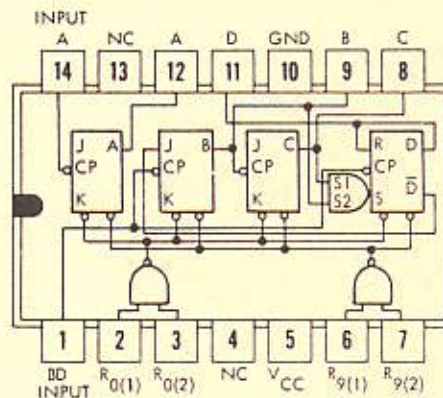
positive logic: $Y = A \oplus B$

- TTL - Ein- und Ausgänge
- Typ. Durchlaufverzögerung 12 ns
- Typ. Leistungsaufnahme 150 mW
- Eingangs-Kapndioden

TRUTH TABLE

INPUTS		OUTPUT
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

LAST- FAKTOREN	MESSPUNKT	ZUSTAND	EINGANG	AUSGANG
	Eingänge		1.0	
	Ausgänge	log. 1		20.0
		log. 0		10.0
SN 5486 N, SN 7486 N, SN 8486 N		Vierfaches Exklusiv ODER-Gatter mit je 2 Eingängen		



- TTL - Ein- und Ausgänge
- Max. Zählfrequenz 18 MHz
- Min. Taktimpulsbreite 50 ns
- Negativ flankengetriggert
- Typ. Leistungsaufnahme 160 mW

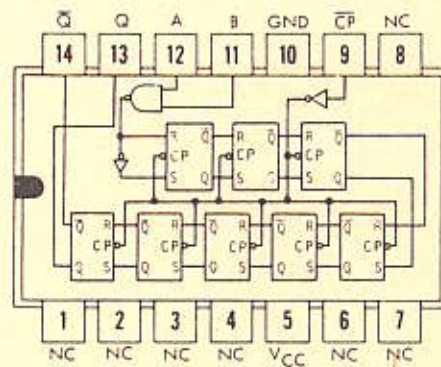
RESET/COUNT (See Note 2)

RESET INPUTS				OUTPUT
R ₀ (1)	R ₀ (2)	R ₉ (1)	R ₉ (2)	D C B A
1	1	0	X	0 0 0 0
1	1	X	0	0 0 0 0
X	X	1	1	1 0 0 1
X	0	X	0	COUNT
0	X	0	X	COUNT
0	X	X	0	COUNT
X	0	0	X	COUNT

NC - No Internal Connection

NOTES: 1. Output A connected to input BD for BCD count.
2. X indicates that either a logical 1 or a logical 0 may be present.

LAST- FAKTOREN	MESSPUNKT	ZUSTAND	EINGANG	AUSGANG
	A Eingang		2.0	
	B D Eingang		4.0	
	Alle anderen Eingänge		1.0	
	Ausgänge			10.0
SN 5490 N, SN 7490 N, SN 8490 N		Dezimalzähler		

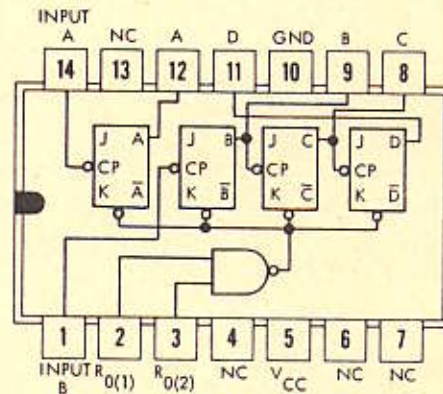


- TTL - Ein- und Ausgänge
- Max. Schiebefrequenz 18 MHz
- Min. Taktimpulsbreite 25 ns
- Positiv flankengetriggert
- Typ. Leistungsaufnahme 175 mW

	t_n	t_{n+8}
A	0	0
B	0	1
Q	0	0
t	1	1

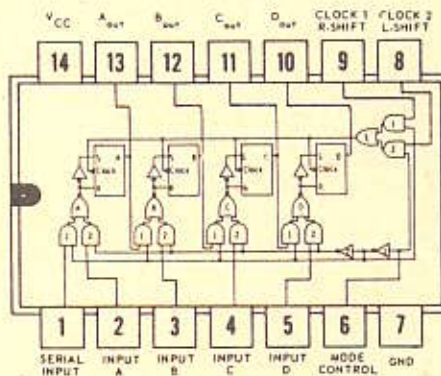
NOTES: 1. t_n = bit time before clock.
2. t_{n+8} = bit time after 8 clock pulses.

LAST- FAKTOREN	MESSPUNKT	ZUSTAND	EINGANG	AUSGANG
	Eingänge		1.0	
	Ausgänge			10.0
SN 5491A N, SN 7491A N, SN 8491A N		8-Bit Schieberegister (Serien-ein, Serien-aus)		



- TTL - Ein- und Ausgänge
- Max. Zählfrequenz 18 MHz
- Min. Taktimpulsbreite 50 ns
- Typ. Leistungsaufnahme 128 mW
- Negativ flankengetriggert

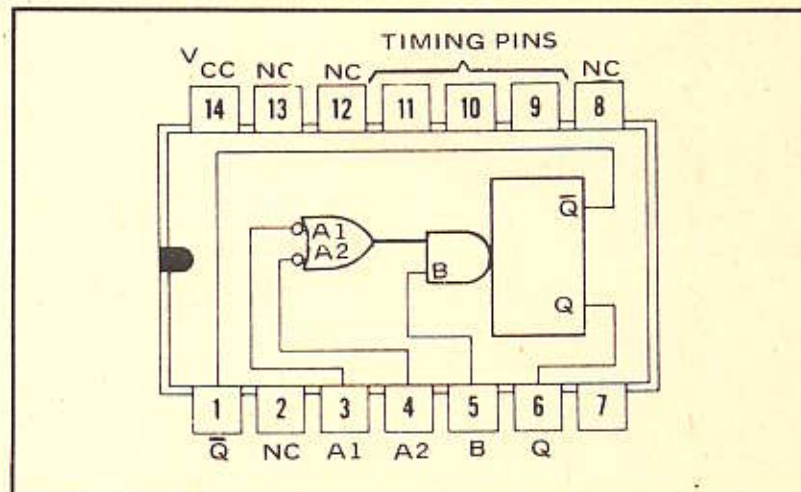
LAST- FAKTOREN	MESSPUNKT	ZUSTAND	EINGANG	AUSGANG
	R ₀₁ und R ₀₂ Eingänge		1.0	
	A und B Eingänge		2.0	
	Ausgänge			10.0
SN 5493 N, SN 7493 N, SN 8493 N		4-Bit Binärzähler		



positive logic: Mode control = 0 for right shift
Mode control = 1 for left shift or parallel load

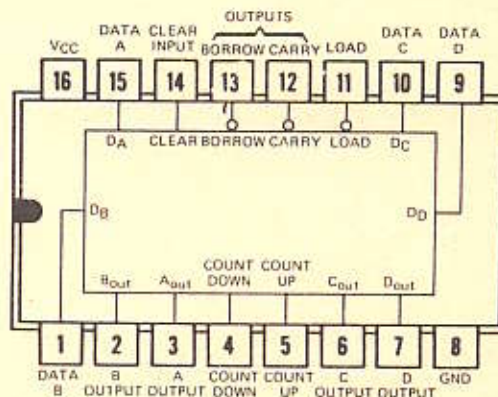
- TTL - Ein- und Ausgänge
- Max. Schiebefrequenz 30 MHz
- Min. Taktimpulsbreite 15 ns
- Negativ flankengetriggert
- Typ. Leistungsaufnahme 250 mW

LAST- FAKTOREN	MESSPUNKT	ZUSTAND	EINGANG	AUSGANG
	Mode-Control Eingang		2.0	
	Alle anderen Eingänge		1.0	
	Ausgänge			10.0
SN 5495 N, SN 7495 N, SN 8495 N		4-Bit-rechts/links Schieberegister (Parallel-ein, Parallel-aus)		



- TTL - Ein- und Ausgänge
- Min. Taktimpulsbreite 30 ns
- Ausgangsimpulsbreite 40 ns – 40 sec
- Typ. Leistungsaufnahme 65 mW
- Stabilität + 0,15%; – 0,20%
- Schmitt-Trigger-Eingang B
- Positiv und negativ taktbar

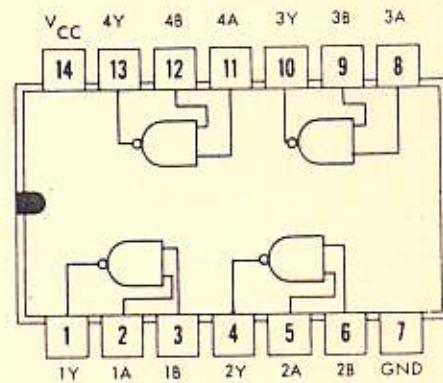
LAST- FAKTOREN	MESSPUNKT	ZUSTAND	EINGANG	AUSGANG
	Eingang A ₁ und A ₂		1.0	
	Eingang B		2.0	
	Ausgänge			10.0
SN 54121 N, SN 74121 N, SN 84121 N		Monostabiler Multivibrator		



positive logic: Low input to load sets $A_{out} = D_A$, $B_{out} = D_B$
 $C_{out} = D_C$, and $D_{out} = D_D$

- Zählkode 8421 BCD
- Max. Zähsfrequenz 32 MHz typ.
- Getrennte Vor- und Rückwärtstaktleitungen
- Asynchroner Rücksetzeingang
- Asynchron Parallel setzbar über dem "Load" Eingang
- "Carry" Ausgang zum kaskadieren des Vorwärtstaktes
- "Borrow" Ausgang zum kaskadieren des Rückwärtstaktes
- Parallele Ausgänge
- Typ. Durchlaufverzögerung 27 ns
- Typ. Leistungsaufnahme 325 mW

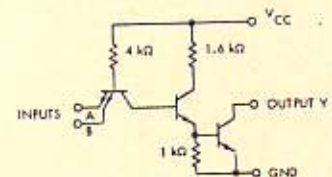
LAST FAKTOREN	MESSPUNKT	ZUSTAND	EINGANG	AUSGANG
	Eingänge		1.0	
	Ausgänge			10.0
SN 54192 N, SN 74192 N, SN 84192 N		Synchroner dekadischer Vor/Rückwärtszähler		



positive logic: $Y = \overline{AB}$

- TTL - Eingänge
- Eintaktausgänge
- Max. zulässige Ausgangsspannung 5,5 V (250 μ A)
- Max. zulässiger Ausgangsstrom 16 mA bei $V_{out} \leq 0,4$ V
- Typ. Durchlaufverzögerung 22 ns
- Typ. Leistungsaufnahme 40 mW

schematic (each gate)



LAST- FAKTOREN	MESSPUNKT	ZUSTAND.	EINGANG	AUSGANG
	Eingänge		1,0	
	Ausgänge			10,0

SN 5401 N, SN 7401 N,
SN 8401 N

Vierfaches NAND-Gatter mit je 2 Eingängen
und Eintaktausgängen



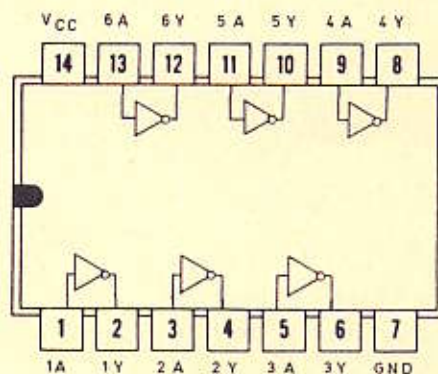
positive logic: $Y = \overline{A + B}$

- TTL - Ein- und Ausgänge
- Max. zulässige Ausgangsspannung 5,5 V (250 μ A)
- Typ. Durchlaufverzögerung 10 ns
- Typ. Leistungsaufnahme 48 mW

schematic (each gate)

	MESSPUNKT	ZUSTAND	EINGANG	AUSGANG
LAST- FAKTOREN	Eingänge		1.0	
	Ausgänge			10.0

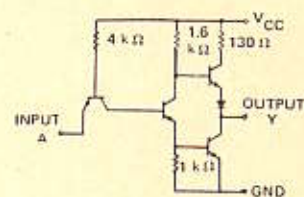
SN 5402 N, SN 7402 N, SN 8402 N	Vierfaches NOR-Gatter mit je 2 Eingängen
--	---



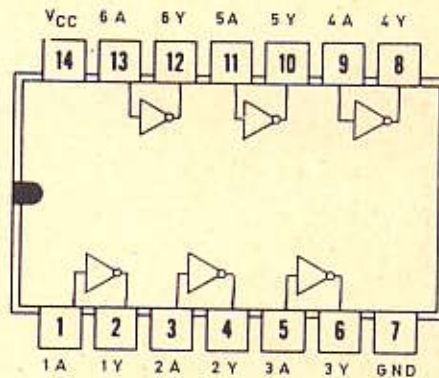
positive logic: $Y = \bar{A}$

- TTL - Ein- und Ausgänge
- Typ. Durchlaufverzögerung 10 ns
- Typ. Leistungsaufnahme 60 mW

schematic (each inverter)



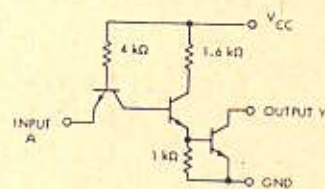
LAST- FAKTOREN	MESSPUNKT	ZUSTAND	EINGANG	AUSGANG
	Eingänge		1.0	
	Ausgänge			10.0
SN 5404 N, SN 7404 N, SN 8404 N		Sechsfacher Inverter		



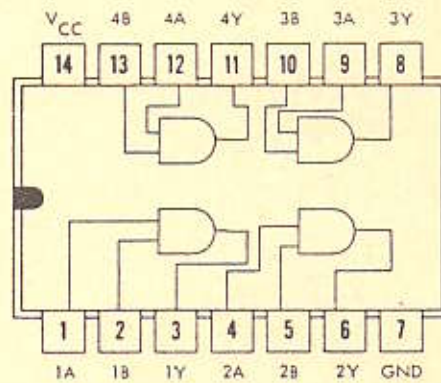
positive logic: $Y = \bar{A}$

- TTL - Eingänge
- Eintakt-Ausgänge
- Max. zulässige Ausgangsspannung 5,5 V (250 μ A)
- Max. zulässiger Ausgangsstrom 16 mA bei $V_{out} \leq 0,4$ V
- Typ. Durchlaufverzögerung 25 ns
- Typ. Leistungsaufnahme 60 mW

schematic (each inverter)



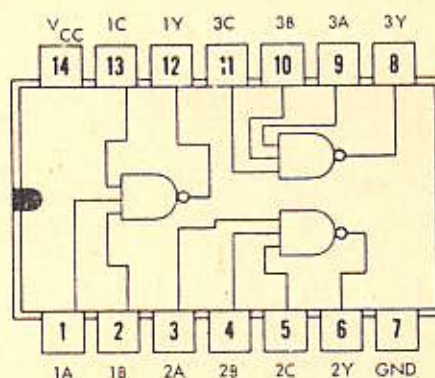
LAST- FAKTOREN	MESSPUNKT	ZUSTAND	EINGANG	AUSGANG
	Eingänge		1.0	
	Ausgänge			10.0
SN 5405 N, SN 7405 N, SN 8405 N		Sechsfacher Inverter mit Eintakt-Ausgängen		



positive logic: $Y = AB$

- TTL- Ein- und Ausgänge
- Positive AND-Funktion

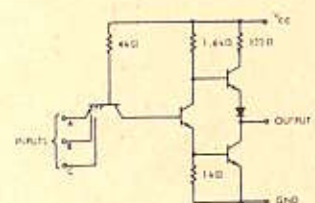
LAST- FAKTOREN	MESSPUNKT	ZUSTAND	EINGANG	AUSGANG
	Eingänge		1.0	
	Ausgänge	log. 0		10.0
		log. 1		20.0
SN 5408 N, SN 7408 N, SN 8408 N		Vierfaches AND-Gatter mit Gegentakt-Ausgängen		



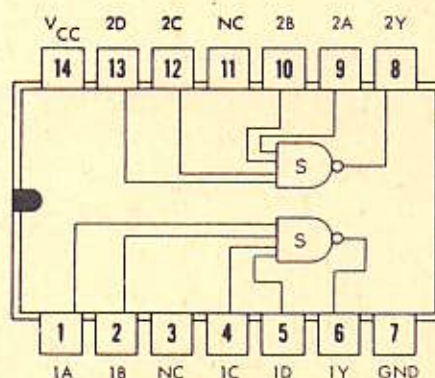
positive logic: $Y = \overline{ABC}$

- TTL - Ein- und Ausgänge
- Typ. Durchlaufverzögerung 10 ns
- Typ. Leistungsaufnahme 30 mW

schematic (each gate)



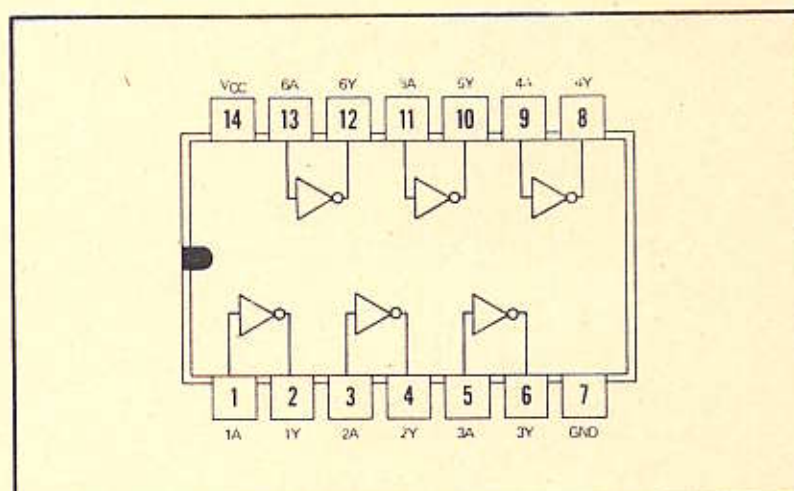
LAST- FAKTOREN	MESSPUNKT	ZUSTAND	EINGANG	AUSGANG
	Eingänge		1,0	
	Ausgänge			10,0
SN 5410 N, SN 7410 N, SN 8410 N		Dreifaches NAND-Gatter mit je 3 Eingängen		



positive logic: $Y = \overline{ABCD}$

- TTL - Ein- und Ausgänge
- 1,7 V obere typ. Schwellspannung
- 0,8 V Hysterese (Temperaturstabilisiert)
- Ansteuerbar mit Flanken mit beliebig langer Anstiegszeit

LAST- FAKTOREN	MESSPUNKT	ZUSTAND	EINGANG	AUSGANG
	Eingänge		1.0	
	Ausgänge			10.0
SN 5413 N, SN 7413 N, SN 8413 N		Zweifacher TTL-NAND-Schmitt-Trigger		



positive logic: $Y = \bar{A}$

- TTL Eingänge
- Eintakt-Ausgänge mit 15 V Ausgangsdurchbruch-Spannung
- 40 mA Kollektorstrom zulässig
- Typ. Leistungsaufnahme 174 mW
- Typ. Durchlaufverzögerung 15 ns
- Eingangs-Kapddioden

LAST- FAKTOREN	MESSPUNKT	ZUSTAND	EINGANG	AUSGANG
	Eingänge		1.0	
SN 5416 N, SN 7416 N, SN 8416 N		Sechsfache invertierende Treiberstufe mit 15 V Ausgangsdurchbruch-Spannung		

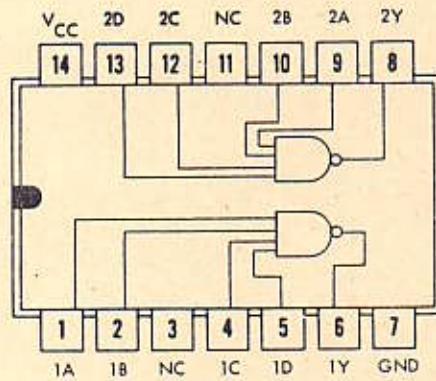


positive logic: $Y = A$

- TTL - Eingänge
- Eintakt-Ausgänge mit 15 V Ausgangsdurchbruch-Spannung
- 40 mA Kollektorstrom zulässig
- Typ. Leistungsaufnahme 150 mW
- Typ. Verzögerungszeit 15 ns
- Eingangs-Kapddioden

	MESSPUNKT	ZUSTAND	EINGANG	AUSGANG
LAST- FAKTOREN	Eingänge		1.0	

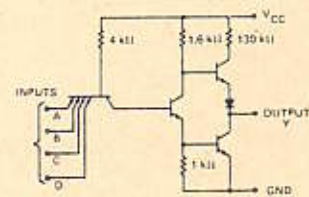
SN 5417 N, SN 7417 N, SN 8417 N	Sechsfache Treiberstufe mit 15 V Ausgangsdurchbruch-Spannung
--	---



positive logic: $Y = \overline{ABCD}$

- TTL - Ein- und Ausgänge
- Typ. Durchlaufverzögerung 10 ns
- Typ. Leistungsaufnahme 20 mW

schematic (each gate)



LAST- FAKTOREN	MESSPUNKT	ZUSTAND	EINGANG	AUSGANG
	Eingänge		1.0	
	Ausgänge			10.0
SN 5420 N, SN 7420 N, SN 8420 N		Zweifaches NAND-Gatter mit je 4 Eingängen		